

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

PAT-NO: JP406119903A  
DOCUMENT-IDENTIFIER: JP 06119903 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:  
NAME  
SASAKI, TOMOYUKI

ASSIGNEE-INFORMATION:  
NAME MATSUSHITA ELECTRON CORP COUNTRY N/A

APPL-NO: JP04264370  
APPL-DATE: October 2, 1992

INT-CL (IPC): H01J037/317, H01L021/265

US-CL-CURRENT: 361/213

ABSTRACT:

PURPOSE: To remove electrostatic charge generated in the ion implantation process through neutralizing with plasma, prevent withstand voltage deterioration and destruction of a gate oxide film, preclude dust attraction, and prevent failed processing in the subsequent process.

CONSTITUTION: A diffusion layer 6 is formed by implanting As ions into a Si base board within a vacuum chamber. At this time, electrostatic charge is generated on a gate electrode 3, and a potential difference is produced between the gate electrode 3 and base board 1. N<SB>2</SB> is introduced to cause discharging of plasma, and the electrostatic charge generated at the time of ion implantation is neutralized. Thereby the withstand voltage deterioration and destruction of the gate oxide film are prevented. At the same time, dust attraction to the surface can be prevented, and failed processing in the subsequent processes be precluded. O<SB>2</SB> or an inert gas may also be accepted in lieu of N<SB>2</SB>.

COPYRIGHT: (C) 1994, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-119903

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.  
H 01 J 37/317  
H 01 L 21/265

識別記号 庁内整理番号

Z 9172-5E

8617-4M

F I

H 01 L 21/ 265

技術表示箇所

N

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平4-264370

(22)出願日 平成4年(1992)10月2日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 佐々木 智幸

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内

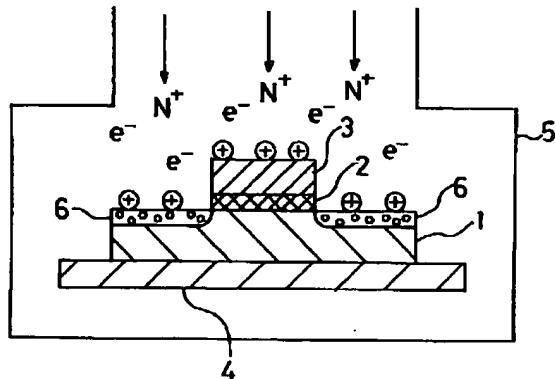
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】イオン注入工程において、半導体装置上にチャージアップにより発生した静電気を取り除く。

【構成】試料室5内を真空にした後、イオン注入を行う。その後、試料室5内に窒素ガスを導入しプラズマを放電する。この結果、MOS型トランジスタ上にチャージアップにより生成した静電気を中和し取り除くことができる。



1

## 【特許請求の範囲】

【請求項1】 半導体装置を製造するイオン注入工程において、試料室内を真空にする真空工程と、該真空工程後に上記半導体装置にイオンを注入する打込み工程と、該打込み工程後に窒素を上記試料室内に導入し、該試料室内でプラズマを放電するプラズマ放電工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体装置を製造するイオン注入工程において、試料室内を真空にする真空工程と、該真空工程後に上記半導体装置にイオンを注入する打込み工程と、該打込み工程後に酸素を上記試料室内に導入し、該試料室内でプラズマを放電するプラズマ放電工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体装置を製造するイオン注入工程において、試料室内を真空にする真空工程と、該真空工程後に上記半導体装置にイオンを注入する打込み工程と、該打込み工程後に不活性ガスを上記試料室内に導入し、該試料室内でプラズマを放電するプラズマ放電工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、イオン注入工程を有する半導体装置の製造方法に関し、特に、チャージアップ対策に係るものである。

## 【0002】

【従来の技術】近年、半導体装置の微細化および高集積化にともない、MOS型トランジスタ等において、ゲート酸化膜の薄膜化が進められている。そこで、以下に従来のイオン注入工程を含む半導体装置の製造方法について図4および図5に基づき説明する。図4および図5は、MOS型トランジスタのソースおよびドレインの形成工程を示している。この図4および図5において、1は、シリコン基板、2はシリコン基板1上に形成されたゲート酸化膜、3は、ゲート酸化膜2上に形成されたゲート電極、4は、上記シリコン基板1が設置される下部電極、5は、イオン注入を行なうための試料室である。次に、イオン注入動作について説明すると、まず、図4に示すように、試料室5内を真空状態にした後、図5に示すように、上記試料室5に砒素イオンを導入してシリコン基板1にイオンを注入し、該シリコン基板1にソース領域およびドレイン領域の拡散層6を形成している。

## 【0003】

【発明が解決しようとする課題】しかしながら、上述した従来のイオン注入工程を含む半導体装置の製造方法で

2

は、イオン注入工程において、単に真空状態の試料室5に砒素イオンを導入してイオン注入を行なっているのみであるため、チャージアップが生起してゲート電極3上に静電気が生じ、ゲート酸化膜2上のゲート電極3とシリコン基板1との間に電位差が発生する。この結果、上記ゲート酸化膜2がイオン注入工程で耐圧の劣化を起こしたり、あるいは破壊されるという問題があった。また、上記イオン注入工程において発生した静電気によって半導体装置表面にダスト等が吸着し、後工程において不良を引き起こす一要因となるという問題があった。

【0004】本発明は、斯かる点に鑑みてなされたもので、イオン注入工程におけるゲート酸化膜の耐圧の劣化や破壊を防止すると共に、静電気により吸着するダスト等に基づくイオン注入工程後の後工程における不良を防止するようにした半導体装置の製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】上記の目的を達成するために、請求項1に係る発明が講じた手段は、まず、半導体装置を製造するイオン注入工程を前提としている。そして、試料室内を真空にする真空工程と、該真空工程後に上記半導体装置にイオンを注入する打込み工程とを有している。加えて、該打込み工程後に窒素を上記試料室内に導入し、該試料室内でプラズマを放電するプラズマ放電工程を有する構成としている。また、請求項2および3に係る発明が講じた手段は、請求項1の発明におけるプラズマ放電工程の窒素に代えて、酸素または不活性ガスを試料室内に導入する構成としたものである。

## 【0006】

【作用】前記の構成により、本発明では、まず、真空工程において、試料室内を真空状態にした後、打込み工程において、該試料室に砒素イオン等を導入して半導体装置にイオンを注入して、該半導体装置に拡散層を形成する。その際、半導体装置にチャージアップが生起して静電気が生じることになるが、前記打込み工程後に、窒素または酸素、或いは不活性ガスを上記試料室内に導入し、該試料室内でプラズマを放電する。このプラズマにより静電気を除去し、この結果、ゲート酸化膜の耐圧の劣化や破壊が防止されると同時に、半導体装置表面のダスト吸着等を防止して、後工程での不良が防止される。

## 【0007】

【実施例】以下、本発明の実施例について図面に基づき詳細に説明する。図1乃至図3は、本発明の半導体装置の製造方法における一実施例を示す断面図であり、MOS型トランジスタのソースおよびドレインの形成工程を示している。この図1乃至図3において、1は、シリコン基板、2はシリコン基板1上に形成されたゲート酸化膜、3は、ゲート酸化膜2上に形成されたゲート電極、4は、上記シリコン基板1が設置される下部電極、5は、イオン注入を行なうための試料室である。

3

【0008】そこで、上記MOS型トランジスタのソースおよびドレインの形成動作について説明する。まず、図1に示すように、真空工程において、上記試料室5内を真空状態にする。続いて、図2に示すように、打込み工程に移り、砒素イオンを $20\text{keV}$ で、 $5 \times 10^{15} \text{ cm}^{-2}$ 注入し、シリコン基板1にソース領域およびドレイン領域の拡散層6を形成する。このとき、上記ゲート電極3上にチャージアップで静電気が生じ、ゲート酸化膜2上のゲート電極3とシリコン基板1との間に電位差が発生する。

【0009】その後、図3に示すように、本発明の特徴とするプラズマ放電工程に移り、窒素を試料室5内に導入し、プラズマを放電する。このとき、窒素ガスの流量を $250\text{sccm}$ とし、圧力を $250\text{mTorr}$ とし、高周波電力(RFパワー)を $150\text{W}$ ( $13.56\text{MHz}$ )とし、放電時間は15秒とした。その結果、アラズマ中のイオンおよび電子により、イオン注入時におけるチャージアップにより発生した静電気を中和し、取り除くことになる。この結果、ゲート酸化膜2の耐圧の劣化や破壊が防止されると同時に、MOS型トランジスタ表面のダスト吸着等を防止して、後工程での不良が防止される。また、上記プラズマ放電工程においては、窒素の代わりに、酸素あるいは不活性ガスを用いてもよい。

【0010】尚、窒素の流量、圧力、高周波電力および放電時間等のパラメータは、上記実施例に限られるものではなく、チャージアップの状態や、試料室5の形状および容積等により最適化を図るようにしてよいことは勿論である。

4

## 【0011】

【発明の効果】以上のように、本発明による半導体装置の製造方法によれば、イオンを注入する打込み工程後に、プラズマを放電させるプラズマ放電工程を設けたために、打込み工程で発生した静電気をプラズマにより中和して取り除くことができる。この結果、ゲート酸化膜の耐圧の劣化や、破壊を防止することができると同時に、半導体装置表面のダスト吸着等を防止して、後工程での不良を防止することができる。

## 10 【図面の簡単な説明】

【図1】本発明の実施例に係る真空工程を示す断面図である。

【図2】本発明の実施例に係る打込み工程を示す断面図である。

【図3】本発明の実施例に係るプラズマ放電工程を示す断面図である。

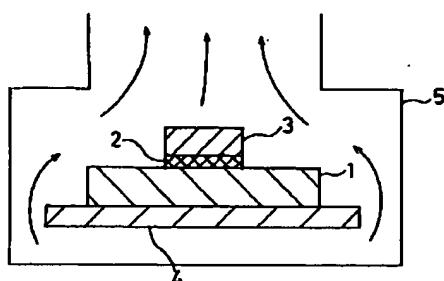
【図4】従来の半導体装置の製造方法における真空工程を示す断面図である。

【図5】従来の半導体装置の製造方法における打込み工程を示す断面図である。

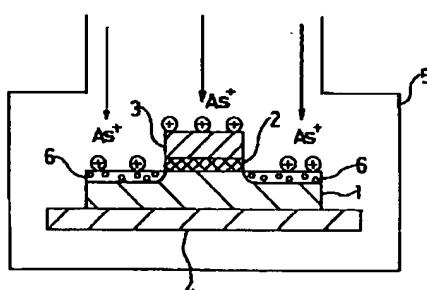
## 【符号の説明】

- 1 シリコン電極
- 2 ゲート酸化膜
- 3 ゲート電極
- 4 下部電極
- 5 試料室
- 6 拡散層

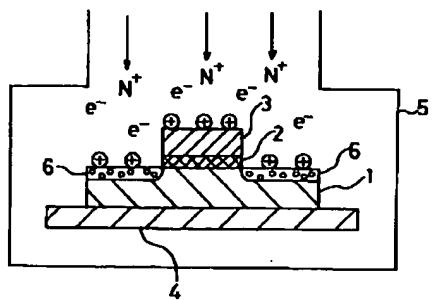
【図1】



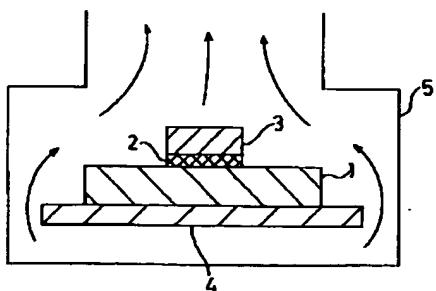
【図2】



【図3】



【図4】



【図5】

